

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-032260  
 (43)Date of publication of application : 04.02.1992

(51)Int.Cl.

H01L 27/092

(21)Application number : 02-138912

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 29.05.1990

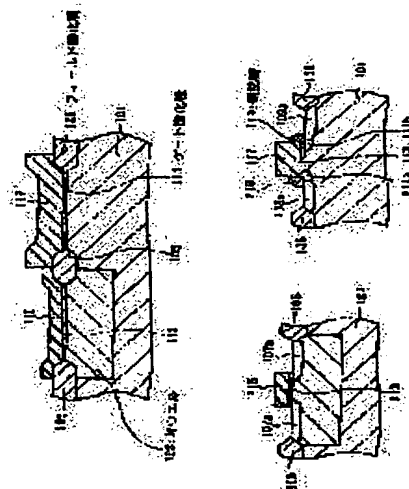
(72)Inventor : HAYASHI TAKANAO  
 UCHIYAMA AKIRA  
 YOKOYAMA TAKESHI

## (54) SEMICONDUCTOR DEVICE AND METHOD FOR FORMING ITS WIRING

(57)Abstract:

PURPOSE: To properly form an impurity profile of a gate electrode and to easily regulate it by a method wherein part of the electrodes of a semiconductor device having two or more MOS field effect transistors on the same substrate have a thickness different from that of the other electrodes, or all the thickness of the electrodes are different from one another.

CONSTITUTION: A gate electrode 115 of a pMOSFET is formed of p+ type polysilicon, a gate electrode 117 of an nMOSFET is formed of a thicker n+ type polysilicon than the gate electrode of the pMOSFET, and a side wall film 19 provided on the side of the electrode 117 of the nMOSFET is further formed. If three or more types of MOSFETs having different side wall widths are formed, a semiconductor device having three or more types of MOSFETs having different film thickness of the gate electrode is formed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-32260

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)2月4日

H 01 L 27/092

7735-4M H 01 L 27/08  
7735-4M

3 2 1 D  
3 2 1 E

審査請求 未請求 請求項の数 8 (全18頁)

⑮ 発明の名称 半導体装置及びその配線形成方法

⑯ 特 願 平2-138912

⑰ 出 願 平2(1990)5月29日

|         |           |                  |            |
|---------|-----------|------------------|------------|
| ⑱ 発 明 者 | 林 孝 尚     | 東京都港区虎ノ門1丁目7番12号 | 沖電気工業株式会社内 |
| ⑲ 発 明 者 | 内 山 章     | 東京都港区虎ノ門1丁目7番12号 | 沖電気工業株式会社内 |
| ⑳ 発 明 者 | 横 山 武     | 東京都港区虎ノ門1丁目7番12号 | 沖電気工業株式会社内 |
| ㉑ 出 願 人 | 沖電気工業株式会社 | 東京都港区虎ノ門1丁目7番12号 |            |
| ㉒ 代 理 人 | 弁理士 大 垣 孝 |                  |            |

明 細 書

1. 発明の名称

半導体装置及びその配線形成方法

2. 特許請求の範囲

(1) 同一基板に2個以上のMOS電界効果トランジスタを具える半導体装置において、

一部の電界効果トランジスタのゲート電極の膜厚を他の電界効果トランジスタのゲート電極の膜厚と違えてあること、または、全部のMOS電界効果トランジスタのゲート電極の膜厚を互いに違えてあることを特徴とする半導体装置。

(2) 請求項1に記載の半導体装置において、

一部の又は全部のMOS電界効果トランジスタのゲート電極の側壁に側壁膜を設けてあることを特徴とする半導体装置。

(3) 請求項2に記載の半導体装置において、

前記側壁膜の、当該側壁膜が設けられている側壁面の法線方向における幅を、当該側壁膜が設けられているゲート電極の膜厚に応じて違えてあることを特徴とする半導体装置。

(4) 請求項1に記載の半導体装置において、

前記2個以上のMOS電界効果トランジスタとしてpMOS及びnMOS電界効果トランジスタを含み、

前記pMOS電界効果トランジスタのゲート電極を、p型ポリシリコン及びこの上に積層された金属シリサイドで少なくとも構成してあり、前記nMOS電界効果トランジスタのゲート電極を、前記p型ポリシリコンとは膜厚が異なるn型ポリシリコン及びこの上に積層された金属シリサイドで少なくとも構成してあり、

少なくとも1組のpMOS及びnMOS電界効果トランジスタ間において、前記p型ポリシリコン及びn型ポリシリコンを互いの側面同士によって接続してこれらポリシリコンの接続部にこれらポリシリコンの膜厚差による段差を構成してあり、

該段差部における膜厚が厚い側のポリシリコンの側壁に側壁膜を設けてあり、

該側壁膜部分上において前記pMOS電界効果

トランジスタの金属シリサイド及びnMOS電界効果トランジスタの金属シリサイドを非接触状態としてあること

を特徴とする半導体装置。

(5)請求項4に記載の半導体装置において、

非接触状態とされた前記pMOS電界効果トランジスタの金属シリサイド及びnMOS電界効果トランジスタの金属シリサイド間を、該金属シリサイドとは異種の導電性材料で接続してあることを特徴とする半導体装置。

(6)半導体基板上側に単結晶シリコン、ポリシリコン及び非晶質シリコンのいずれか1種または複数種から成るシリコン層を形成する工程と、

該シリコン層を所定の形状で厚さ方向において一部除去して該シリコン層に膜厚の異なる領域を形成する工程と、

該膜厚の異なる領域間の境界部に構成される段差部に構成される側壁にシリコン酸化膜又はシリコン窒化膜から成る側壁膜を形成する工程と、

該側壁膜を含む前記シリコン層上に金属層を形

成しこの試料に対し熱処理して金属シリサイドから成る配線を形成する工程とを含むことを特徴とする配線形成方法。

(7)請求項6に記載の配線形成方法において、

前記金属層形成前に、前記膜厚の異なる領域毎に異なる導電型の不純物を導入することを特徴とする配線形成方法。

(8)請求項6に記載の配線形成方法において、

前記配線がCMOSのpMOS及びnMOS電界効果トランジスタのゲート電極であることを特徴とする配線形成方法。

### 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、MOS(Metal Oxide Semiconductor)電界効果トランジスタ(以下、MOSFETと略称することもある。)を多数有する半導体装置と、この半導体装置に備わる配線(ゲート電極等の電極も含む。)を形成する際に用いて好適な配線形成方法とに関するものである。

### (従来の技術)

従来から、nチャネルMOSFET(以下、nMOSFETと称する。)及びpチャネルMOSFET(以下、pMOSFETと称する。)を同一基板上に形成し相補的に用いるCMOS(Complementary MOS)半導体装置が、低消費電力であること等の点から、広く用いられている。

このようなCMOS装置の標準的な構成においては、pMOSFET及びnMOSFET各々のゲート電極は、n<sup>+</sup>ポリシリコンで共に構成される(例えば、文献①(「VLSIテクノロジー入門」平凡社(1986.9.1))。これは、比較的容易なプロセスで低抵抗なゲート電極が得られること及び可動イオンをポリシリコン中に容易にゲッタリング出来ること等の理由からであった。そして、p及びnMOSFET各々のゲート電極をn<sup>+</sup>ポリシリコンで構成した上述のようなCMOS半導体装置においては、nMOSFETは表面チャンネル型となり、また、pMOSFET

は、そのしきい値電圧V<sub>t</sub>を所望の値例えば-0.7V程度に設定しようとするにチャンネル部をp型に反転させる必要があることからチャンネルがゲート電極下の深い位置に形成されるため、いわゆる埋め込みチャンネル型となる。

しかし、上述のようにpMOSFETが埋め込みチャンネル型となっているCMOS半導体装置では、その高集積化に伴い各MOSFETが微細なものとされると、pMOSFETにおいてパンチスルーが生じ易くなる等のいわゆる短チャンネル効果が著しくなってしまう。従って、CMOS半導体装置の高集積化を進めるうえでpMOSFETがネックとなってしまうという問題があった。

そこで、nMOSFETのゲート電極はn<sup>+</sup>ポリシリコンのままとし、pMOSFETのゲート電極をp<sup>+</sup>ポリシリコンで構成することにより、p及びnMOSFET共に表面チャンネル型とした構成のCMOS半導体装置(以下、異極性ゲートを有するCMOS半導体装置と称することもある。)に関する研究が従来からなされていた(例

例えば、文献⑨：アイイーディーエム（IEDM）（1987）p. 367～370）。そして、この文献⑨によれば、このCMOS半導体装置は、以下のように製造されていた。第8図（A）～（C）は、その説明に供する図であり文献⑨に掲載の工程図の一部を引用したものである。

先ず、第8図（A）に示すように、p型シリコン基板11上にNウェル13が公知の方法により形成され、次に、素子分離のためにLOCOS（Local Oxidation of Silicon）法によりフィールド酸化膜15が形成され、次に、例えば熱酸化等のような公知の方法によりゲート酸化膜17が形成される（第8図（A））。

次に、公知の成膜技術によりp型シリコン基板11上にノンドープのポリシリコン（図示を省略）が形成され、その後、公知のフォトリソグラフィ技術及びエッチング技術によりこのポリシリコンがパターンニングされ、nMOSFETのゲート電極19とpMOSFETのゲート電極21と

が同時に形成される（第8図（B））。

次に、第8図（B）に示すように、nMOSFET形成予定領域に対し選択的にn型不純物としての例えばAs<sup>+</sup>がイオン注入される。これによりゲート電極19への不純物ドーピングと、nMOSFET側のソース・ドレイン領域23の形成とが同時になされる。

次に、今度は、第8図（C）に示すように、pMOSFET形成予定領域に対し選択的にp型不純物としての例えばBF<sub>3</sub><sup>+</sup>がイオン注入される。これによりゲート電極21への不純物ドーピングと、pMOSFET側のソース・ドレイン領域25の形成とが同時になされる。この結果、異極性ゲートを有するCMOS装置の主要部が得られる。

上述のような異極性ゲートを有するCMOS半導体装置によれば、pMOSFETのしきい値電圧V<sub>t</sub>を合わせ込む場合、チャネル部はnMOSFET同様に基板の導電型と同じ導電型と出来然もその濃度を高く設定して行うことが出来るので

ドレインからの空乏層の拡がりを抑制出来る。このため、パンチスルーが生じにくくなる。その詳細な解析は、例えば文献⑩（アイイーイーイー（IEEE），Vol. ED-32，No. 3，p. 584（1985））になされている。

また、上述の異極性ゲート構造とは別に或いはこれに加えて、MOSFET個々の構造を工夫することで、短チャネル効果を抑制しようとすることも従来からなされていた。

その一例としてオフセット構造を有するMOSFETがあった。第9図（A）はこのMOSFETのゲート長方向に沿った方向で切った概略的な断面図である。

第9図（A）において、31はシリコン基板、33はソース・ドレイン領域、35はゲート酸化膜、37はゲート電極、39はゲート電極37の側面に設けたサイドウォールである。オフセット構造を有するMOSFETにおいては、ソースドレイン領域33は、サイドウォール39形成後のイオン注入によって形成される。このため、実効

的なゲート長 $l_1$ は、サイドウォールを有していない通常のMOSFET（第9図（B）参照）のゲート長 $l_2$ に比べ長く出来るので、その分、短チャネル効果を抑制出来た。

また、他の例としてLDD（Lightly Doped Drain）構造を有するMOSFETがあった。第10図はこのMOSFETのゲート長方向に沿って切った概略的な断面図である。

第10図において、31～39は、第9図を用いて説明したのと同じものである。また、41はソース・ドレイン領域33の導電型と同じ導電型の不純物層であって不純物濃度がソース・ドレイン領域33のそれより低くされている不純物層（以下、低濃度不純物層41と称する。）である。このMOSFETにおいては、サイドウォール39形成前にゲート電極37をマスクとしたイオン注入によって低濃度不純物層41が形成され、その後、サイドウォール39が形成され、その後、ソース・ドレイン領域33が形成される。

このLDD構造によれば電界緩和が図れるので、短チャネル効果と並び微細化の際に問題となるホットキャリア効果を抑制出来た。

(発明が解決しようとする課題)

しかしながら、従来の半導体装置では、各MOSFET(例えばp及びnMOSFET)各々のゲート電極の膜厚は同じにされていた。

このため、例えば、ゲート電極への不純物導入及びソース・ドレイン領域形成のための基板への不純物導入を、同一のイオン工程で一度に行った場合(第8図(B)又は第8図(C)参照)、ソース・ドレイン領域に対しては適正な不純物プロファイルが得られても、ゲート電極についてはその膜厚に対しこのイオン注入条件が不適切な場合も生じてしまいゲート電極の不純物プロファイルが所望のものとならない場合があるという問題点があった。

また、オフセット構造を有するMOSFETやLDD構造を有するMOSFETにおいては、サイドウォールは不可欠であるが、このサイド

ウォールの当該サイドウォールが設けられている側壁面の法線方向における幅(第9図(A)や第10図中、 $W_1$ で示す。)は、サイドウォール形成時にゲート電極側面に形成する絶縁膜の膜厚に依存する。即ちゲート電極の膜厚によって決定される。このため、従来の半導体装置のように各MOSFETのゲート電極膜厚が同じであると、絶縁膜の膜厚も同じになるので各MOSFETのサイドウォール形成を同一の異方性エッチング工程で行った場合はその幅 $W_1$ が全て同じとなってしまふという問題点があった。半導体装置においては、場合によってはオフセット幅を一部又は全部のMOSFETで違えたい場合があるが、従来構造ではこれを簡易に行えない。

また、異極性ゲート電極を有するCMOS半導体装置の場合、ゲート電極は、該当する導電型のポリシリコン電極上に金属シリサイドが積層されたいわゆるポリサイド構造とされる。その理由は、p及びnMOSFETのゲート電極同士を接続しただけではその接続部にpn接合が出来てし

まいCMOS回路が形成出来ないためこれを金属シリサイドによって補うためであり、また、ゲート電極の抵抗を金属シリサイドによって下げるためである。

しかし、異極性ゲート電極を有するCMOS半導体装置においてゲート電極をポリサイド構造とした場合、製造工程で行われる種々の熱処理工程において、一方の導電型のポリシリコンゲート電極中のドーパントが他方の導電型のポリシリコンゲート電極中へ、金属シリサイドを介し拡散するという問題点が生じてしまう。このような不純物の拡散は、ゲート電極とされているポリシリコン中の不純物濃度を変化させるのでポリシリコンの仕事関数を変え、しきい値電圧 $V_t$ を大幅にずらす等信頼性上好ましくない結果を招いてしまう。異極性ゲート電極間の金属シリサイドを介しての不純物拡散に起因するしきい値 $V_t$ のシフトについては、例えば文献(アイイーディエム テクニカル ダイジェスト(IEDM Technical Digest), p. 252(198

6))に開示されているが、これにつき第11図(A)及び(B)を参照して簡単に説明する。ここで、第11図(A)は、異極性ゲートを有するCMOSインバータの構成を概略的に示した平面図、第11図(B)は第11図(A)のI-I線に沿ってこのCMOSインバータを切って示した断面図である。いずれの図も、中間絶縁膜等は省略してある。また、これら図において、51はp型シリコン基板、53はNウェル領域、55はフィールド酸化膜、57aはpMOSFET側のゲート酸化膜、57bはnMOSFET側のゲート酸化膜、59はpMOSFETのゲート電極でありこの場合p<sup>+</sup>ポリシリコン、61はnMOSFETのゲート電極でありこの場合n<sup>+</sup>ポリシリコン、63は両ゲート電極59、61の接続部、65は金属シリサイド例えばWSiである。さらに、特に第11図(A)において、67、69はp又はnMOSFETのアクティブ領域、71a、71bはpMOSFETのソース・ドレインコンタクト、73a、73bはnMOSFETの

ソース・ドレインコンタクト、75は電源5Vと接続される配線、77は当該CMOSインバータの出力部となる配線、79は接地配線、81は各MOSFETのソース・ドレイン領域である。

このような異極性ゲートを有するCMOSインバータの、59、61、65で構成されるゲート電極においては、製造工程中の例えば不純物活性化のための熱処理によって、nMOSFETのn<sup>+</sup>ポリシリコン61中のn型不純物(例えばAs)が金属シリサイド65を介し第11図中矢印Qで示す如くpMOSFETのp<sup>+</sup>ポリシリコン59中へ拡散し上述のような問題点を引き起す。

これを回避するため、第12図(A)に示すように、金属シリサイドの、ゲート電極接続部63上に相当する部分を寸法 $L_1$ 程度除去し金属シリサイドを65a、65bの二部分に分離して両ゲート電極59、61の金属シリサイドによる接続をなくし、この状態で熱処理をし、その後、分離されている金属シリサイド部分65a、65b

#### (課題を解決するための手段)

この目的の達成を図るため、この出願の第一発明によれば、同一基板に2個以上のMOS電界効果トランジスタを具える半導体装置において、

一部の電界効果トランジスタのゲート電極の膜厚を他の電界効果トランジスタのゲート電極の膜厚と違えてあること、または、全部のMOS電界効果トランジスタのゲート電極の膜厚を互いに違えてあることを特徴とする。

また、この出願の第二発明によれば、

半導体基板上側の所定領域に単結晶シリコン、ポリシリコン及び非晶質シリコンのいずれか1種または複数種から成るシリコン層を形成する工程と、

該シリコン層を所定の形状で厚さ方向において一部除去して該シリコン層に膜厚の異なる領域を形成する工程と、

該膜厚の異なる領域間の境界部に構成される段差部に構成される側壁にシリコン酸化膜又はシリコン窒化膜から成る側壁膜を形成する工程と、

を第12図(B)に示すように金属91によって接続することも行われる。しかし、このように金属91によって金属シリサイド部分65a、65bを接続するためには、金属91と金属シリサイド部分65a、65bとのオーバーラップ領域の寸法 $L_2$ 、 $L_3$ (第12図(B)参照)は、マスク合わせ精度やエッチング変換差等を考慮しある程度大きくする必要があり、また、金属シリサイド部分65a、65b間の間隙 $L_1$ もリソグラフィの露光限界やエッチング工程の再現性を考える程度広くする必要がある。その結果、金属91による接続に必要な領域の長さ $L_4$ は、 $L_4 = L_1 + L_2 + L_3$ となり、著しく大きなものとなるため、微細化の妨げになるという問題点があった。

この発明はこのような点に鑑みなされたものであり、従って、この発明の目的は、上述の問題点を解決出来る構造を有する半導体装置及びこの装置に備わる配線の形成に用いて好適な配線形成方法を提供することにある。

該側壁膜を含む前述のシリコン層上に金属層を形成しこの試料に対し熱処理して金属シリサイドから成る配線を形成する工程とを含むことを特徴とする。

なお、この第二発明の実施に当たり、前述の金属層形成前に、前述の膜厚の異なる領域毎に異なる導電型の不純物を導入するのが好適である。

さらに、この第二発明の実施に当たり、前述の配線をCMOSのpMOS及びnMOS電界効果トランジスタのゲート電極とするのが好適である。

#### (作用)

第一発明の構成によれば、以下に説明するような作用が得られる。

①…ゲート電極への不純物導入及び当該MOSFETのソース・ドレイン領域を形成するための基板への不純物導入を同一イオン注入工程でかつソース・ドレイン領域形成に適正なイオン注入条件で行う方法により半導体装置を製造する場合でも、この第一発明の構成では当該MOSFETの

ゲート電極の膜厚を適正なものに揃えることが出来るのでゲート電極の不純物プロファイルに適正化出来る。この結果、両者の不純物プロファイルの調整が容易になる。

②…ゲート電極にサイドウォールを具えるMOSFETにおいてはサイドウォールの幅はゲート電極の膜厚により制御出来る。従って、同一基板に複数のMOSFETを具える半導体装置であって少なくとも1個以上のMOSFETがゲート電極にサイドウォールを具えるMOSFETとされている半導体装置にこの第一発明を適用した場合、一部のMOSFETのみにサイドウォールを設けること、サイドウォール幅を一部のMOSFETにおいてまたは各MOSFET毎に揃えることが容易になる。

③…異極性ゲートを有するCMOS半導体装置を構成する場合、p及びnMOSFETの各々のゲート電極の膜厚を揃えておくと、これらゲート電極の接続部にはこれらゲート電極の膜厚差に起因する段差を構成出来る。さらに、この段差部の

膜厚の厚い側のゲート電極側面には従来公知の方法で容易に側壁膜が形成出来る。ここで、異極性ゲートを例えばポリシリコンで構成した場合で側壁膜を含むこの異極性ゲート上に金属を形成しシリサイド化を行うと、シリサイド化は側壁膜上では起きず異極性ゲート上のみで起こる。従って、側壁膜上の金属膜を除去すると、p及びnMOSFETは金属シリサイドによっては接続されない状態となる。

また、この出願の第二発明の配線形成方法によれば、シリコン層の段差部に設けたシリコン酸化膜上においては金属シリサイドが形成されないことを利用して金属シリサイドのパターニングを行うことが出来る。

#### (実施例)

以下、同一基板に2個以上のMOS電界効果トランジスタを具える半導体装置を、pMOSFET及びnMOSFETを具えるCMOSインバータとした例により、実施例の説明を行う。

#### 第1実施例の半導体装置の構造説明

先ず、第1実施例として、pMOSFET及びnMOSFET各々のゲート電極の膜厚を揃えてあり然もnMOSFETがLDD構造を有するMOSFETであるCMOSインバータの例を説明する。

第1図(A)～(D)は、第1実施例のCMOSインバータの構造説明に供する図であり、特に第1図(A)はこのインバータを基板上方から見て概略的に示した平面図、第1図(B)～(D)は、該インバータを第1図(A)のⅡ-Ⅱ線、Ⅲ-Ⅲ線またⅣ-Ⅳ線に沿って切って概略的に示した断面図である。

第1図(A)～(D)において、101はp型シリコン基板、103はNウェル、105はフィールド酸化膜、107a、107bはpMOSFETのソース・ドレイン領域、109a、109bはnMOSFETのソース・ドレイン領域、111a、111bはnMOSFETのLDD構造に係る低濃度不純物層、113はゲート酸

化膜である。さらに、115はpMOSFETのゲート電極でありこの場合はp<sup>+</sup>ポリシリコンで構成してあり、さらに117はnMOSFETのゲート電極でありこの場合はpMOSFETのゲート電極より膜厚が厚いn<sup>+</sup>型のポリシリコンで構成してある。さらに、119はnMOSFETのゲート電極117側面に偏わる側壁膜である。

この第1実施例のCMOSインバータにおいては、nMOSFETのゲート電極117の膜厚をpMOSFETのゲート電極115より厚くしてあることにより、nMOSFETのゲート電極117のみに側壁膜の形成が可能になる。このことの理解を容易にするために第1図を用いて説明したCMOSインバータの製造方法につき以下説明する。

#### 第1実施例の半導体装置の製法説明

第2図(A)～(I)、第3図(A)～(I)及び第4図(A)～(I)は、第1実施例のCM



OSインバータの製造方法の説明に供する図である。特に、第2図(A)～(I)は製造進度に応じインバータの様子を第1図(B)と同様な位置の断面図により示した工程図、第3図(A)～(I)は第1図(C)と同様な位置の断面図により示した工程図、第4図(A)～(I)は第1図(D)と同様な位置の断面図により示した工程図である。

先ず、公知のフォトリソグラフィ技術及びエッチング技術によりp型シリコン基板101(以下、基板101と略称することもある。)のpチャンネル領域にNウェル103を形成する。次に、公知の素子分離法によりこの基板101の所定領域にフィールド酸化膜105を形成する(第2図～第4図の各(A)図)。

次に、例えば熱酸化法によりゲート酸化膜113を形成する。次に、公知の成膜方法によりゲート酸化膜形成済みの基板101上に例えば膜厚が450nmのノンドープのポリシリコン層121を形成する(第2図～第4図の各(B)図)。

$\text{cm}^{-2}$ となるようにイオン注入し、低濃度不純物層111a、111bを形成する(第2図～第4図の各(E)図)。低濃度不純物層形成のためのイオン注入の際にはnMOSFET側のノンドープ状態のゲート電極117aにもリンが注入されるが、ここでのイオン注入量はソース・ドレイン形成時のそれに比べ非常に少いので無視出来る。

次に、イオン注入用のマスクとして用いたレジストを除去し、その後、例えばCVD法により基板101上側前面に例えば $\text{SiO}_2$ 膜125をゲート電極を埋め込むことが出来る程度の膜厚に堆積させる(第2図～第4図の各(F)図)。得られた $\text{SiO}_2$ 膜125の基板面の法線方向の厚みは、膜厚が厚いゲート電極(この場合はゲート電極117a)の側面部分において最も厚くなる(第2図(E)及び第4図(F)にRで示す部分参照)。

次に、異方性エッチング技術により $\text{SiO}_2$ 膜125をエッチングする。この際、 $\text{SiO}_2$ 膜125の、膜厚が厚いゲート電極117aの側面

次に、ノンドープのポリシリコン層121の、nMOSFET形成予定領域に対応する領域上にレジスト層123を形成し、その後、ノンドープのポリシリコン層121の、レジスト層123から露出している領域を公知のエッチング方法により250nmエッチングする(第2図～第4図の各(C)図)。

次に、公知のフォトリソグラフィ技術及びエッチング技術によりノンドープのポリシリコン121をゲート電極形状にパターンニングする。これにより、pMOSFET側においては膜厚が200nmでノンドープ状態のポリシリコンゲート電極115aが得られ、nMOSFET側においては膜厚が450nmでノンドープ状態のポリシリコンゲート電極117aが得られる(第2図～第4図の各(D)図)。

次に、基板101のnMOSFET形成予定領域以外の領域をレジスト(図示せず)で覆った後、この予定領域にn型不純物としての例えばリン(P)を例えば表面濃度が $3.0 \times 10^{18}$

にある部分は、膜厚が薄いゲート電極115aの側面にある $\text{SiO}_2$ 膜が全てエッチングされた後においても残存し側壁膜119となる。この結果、nMOSFET側のゲート電極117aにのみ側壁膜119を形成することが出来る(第2図(G)、第4図(G))。

次に、基板101のpMOSFET形成予定領域以外の領域をレジスト(図示せず)で覆った後、この予定領域にp型不純物としての例えば $\text{BF}_3$ イオンを高濃度に(例えば加速電圧を50KeVとしドーズ量を $1.0 \times 10^{15} \text{cm}^{-2}$ とした条件で)注入しp型高濃度拡散層即ちpMOSFET側ソース・ドレイン領域107a、107bを形成する。また、このp型不純物のイオン注入の際には、ノンドープポリシリコンゲート電極115aにもp型不純物が同時に注入されるので、p<sup>+</sup>型ポリシリコンから成るゲート電極115が同時に得られる(第2図～第4図の各(H))。

次に、pMOSFET側ソース・ドレイン領域

形成時のイオン注入マスクとしたレジストを除去し、今度は、基板101のnMOSFET形成予定領域以外の領域をレジスト(図示せず)で覆う。その後、この予定領域にn型不純物としての例えばAsイオンを高濃度に(例えば加速電圧を50KeVとしドーズ量を $5.0 \times 10^{15} \text{cm}^{-2}$ とした条件で)注入しn型高濃度拡散層即ちnMOSFET側ソース・ドレイン領域109a, 109bを形成する。また、このn型不純物のイオン注入の際には、ノンドープポリシリコンゲート電極117aにもn型不純物が同時に注入されるので、n<sup>+</sup>型ポリシリコンから成るゲート電極117が同時に得られる(第2図~第4図の各(I)図)。

このような手順により第1図に示した第1実施例の半導体装置が得られる。

なお、その後は、図示は省略するが、従来公知の通り、中間絶縁膜の形成、この中間絶縁膜へのコンタクトホール形成、各種配線形成を行う。

なお、上述の第1実施例は、pMOSFETの

## 第2実施例の半導体装置の構造説明

次に、第2実施例として、pMOSFET及びnMOSFET各々のゲート電極の膜厚を違えてあり然もこれらゲート電極は異極性ゲート構造でかつポリシリコン及び金属シリサイドで構成されたCMOSインバータの例を説明する。

第5図は、その説明に供する断面図であり、この第2実施例のCMOSインバータを第1図(A)のI-I線に相当する位置で切って概略的に示した断面図である。ここで、第5図においては、第1図を用いて説明した構成成分と同様な構成成分は同一の番号を付して示してある。また、以下の説明においては、第1図を用いて既に説明した構成成分についての説明を省略する場合もある。

この第2実施例のCMOSインバータにおいては、pMOSFETのゲート電極131をp<sup>+</sup>ポリシリコン115及びこの上に積層された金属シリサイド133で構成してあり、また、nMOSFETのゲート電極135を、p<sup>+</sup>ポリシリコン

ゲート電極をp<sup>+</sup>ポリシリコンで構成し、nMOSFETのゲート電極をn<sup>+</sup>ポリシリコンで構成したいわゆる異極性ゲート構造を有する例であったが、所望のMOSFETにのみ側壁膜を設けるという目的のみを考える場合は、ゲート電極は異極性ゲート構造に限られないことは明らかである。

また、上述の第1実施例はCMOS半導体装置の例であったが、同一基板に同一導電型のMOSFETを多数具えた半導体装置についてこれらMOSFETのうちの所望のMOSFETのゲート電極のみに側壁膜を設けたい場合にもこの発明を適用出来ることは明らかである。

また、この発明は、同一基板にMOSFETを3個以上具える半導体装置において、サイドウォール幅が異なる3種類以上のMOSFETを構成したい場合等にも適用出来る。この場合は、ゲート電極の膜厚が違う3種類以上のMOSFETを具える半導体装置が構成されることになる。

115とは膜厚が異なる(この実施例の場合はp<sup>+</sup>ポリシリコン115より膜厚が厚い)n<sup>+</sup>ポリシリコン117及びこの上に積層された金属シリサイド133で構成してある。金属シリサイド133としては、従来公知の種々のもの例えばタングステンシリサイド(WSi)、チタンシリサイド(TiSi<sub>2</sub>)等を挙げることが出来る。

さらに、この第2実施例のCMOSインバータでは、pMOSFET及びnMOSFET間において、p<sup>+</sup>ポリシリコン115及びn<sup>+</sup>ポリシリコンを互いの側面同士によって接続してこれらポリシリコン115, 117の接続部137にこれらポリシリコン115, 117の膜厚差による段差部を構成してある。そして、この段差部139における膜厚が厚い側のポリシリコン(この場合はn<sup>+</sup>ポリシリコン117)の側壁に側壁膜141を設けてある。

さらに、この第2実施例のCMOSインバータでは、側壁膜141部分上においてpMOSFETの金属シリサイド及びnMOSFETの金属シ

リサイドを非接触状態としてある。

なお、pMOSFETの金属シリサイド及びnMOSFETの金属シリサイドは、金属シリサイド同士では非接触状態ということであり、実際の装置構成においては、互いは例えば金属等によって電氣的に接続してある。このような接続例としては、例えば次のようなものがある。

第6図(A)は、接続例の一例を基板101上方から見た平面図により示したものであり、p及びnMOSFET各々の金属シリサイド133の互いが近接する端部部分133a、133b及び側壁膜141上に金属配線151を設けて金属シリサイド133間を接続した例である。

また、第6図(B)は、接続例の他の例を第6図(A)同様な平面図により示した図である。この例は、p及びnMOSFET各々の金属シリサイド133の互いが近接する端部部分133a、133bをそれぞれ引き出してその引き出し部において金属配線151によって金属シリサイド間を接続した例である。

ポリシリコン層121を第1実施例の製法と同様な製法で形成する(第2図(A)及び(B)参照)。ここでは、ゲート酸化膜113はその膜厚が5~20nm程度になるように形成し、ノンドープポリシリコン層121はその膜厚が100~500nm程度になるように形成している。

次に、ノンドープポリシリコン121上に、このシリコン層121のpMOSFET用のゲート電極とされる領域を覆うレジスト層171を形成し、その後、このレジスト層171をマスクとしノンドープポリシリコン層121にn型不純物としての例えばP又はAsを例えば $10^{14}\text{cm}^{-2}$ ~ $10^{15}\text{cm}^{-2}$ 程度のドーズ量で注入する。これによりノンドープポリシリコン層121は、その一部がn<sup>+</sup>ポリシリコン121bになる(第7図(A))。

次に、レジスト層171を除去し、その後、今度は、n<sup>+</sup>ポリシリコン部分121b上にレジスト層173を形成する。そして、このレジスト層173をマスクとしノンドープポリシリコン層

この第2実施例の半導体装置は、p及びnMOSFETのゲート電極の膜厚を互いに違えてあるのでその膜厚差により生じる段差部139に微細な側壁膜141を簡単に形成出来る。そして、この側壁膜141を用い金属シリサイドを分離出来るという効果が得られる。このことの理解を容易にするために第5図及び第6図を用いて説明したCMOSインバータの製造方法につき以下説明する。

## 第2実施例の半導体装置の製法説明

第7図(A)~(H)は、第2実施例のCMOSインバータの製造方法の説明に供する図であり、特に第二発明の配線形成方法を適用してゲート電極を形成する工程をその製造進度に応じ第5図に対応する位置での断面図により示した工程図である。

まず、p型シリコン基板101に、Nウェル103、フィールド酸化膜105、ゲート酸化膜113、ゲート電極の一構成成分となるノンドー

121にp型不純物としての例えばBF<sub>3</sub>を例えば $10^{14}\text{cm}^{-2}$ ~ $10^{15}\text{cm}^{-2}$ 程度のドーズ量で注入する。これによりノンドープシリコン層121は、その一部がp<sup>+</sup>ポリシリコン121aになる(第7図(B))。

次に、レジスト層173をそのままエッチングマスクとして用い、p<sup>+</sup>ポリシリコン部分を厚さ方向に一部エッチングし段差部139を得る(第7図(C))。なお、このエッチング量は、側壁膜141(第5図参照)をどの程度の大きさとするか等を考慮して決定する。

次に、レジスト層173を除去後、今度は、p<sup>+</sup>ポリシリコン部分121a及びn<sup>+</sup>ポリシリコン部分121b上に、ゲート電極バタニング用レジスト層(図示せず)を形成しこれをマスクとしてこれらポリシリコンをバタニングしpMOSFETのゲート電極115及びnMOSFETのゲート電極117を形成する(第7図(D))。

次に、公知の方法によりpMOSFET側の

ソース・ドレイン領域及びnMOSFET側のソース・ドレイン領域をそれぞれ形成する(図示せず)。

次に、公知の成膜方法により基板101上側全面にシリコン酸化膜175を形成する。(第7図(E))。シリコン酸化膜175の膜厚は、段差部139を埋め込むことが出来る程度にするのが好適である。

次に、異方性エッチング技術により、シリコン酸化膜175を $p^+$ 及び $n^+$ ポリシリコンゲート電極115、117表面が露出するまでエッチングする。このエッチングにおいては、ゲート電極の側面にあるシリコン酸化膜は残り側壁膜が形成される。第7図(F)においては、 $p^+$ 及び $n^+$ ポリシリコンゲート電極115、117の接続部の段差部139に構成される側壁膜141のみ図示し、ゲート電極の他の側面に形成される側壁膜についての図示は省略している。

次に、側壁膜141形成済み基板上全面に、ポリシリコンのシリサイド化が可能な金属例えば

チタン177を例えば50~100nm程度の膜厚に公知の成膜方法により形成する(第7図(G))。

次に、チタン成膜済み試料を650℃程度の温度でアニールして金属シリサイド(この場合はチタンシリサイド)133を形成する。シリサイド化の反応は、側壁膜141上では起こらずゲート電極とされているポリシリコン上及びドレイン領域等とされているシリコン基板上のみで起こる(第7図(H))。

次に、未反応のチタンを例えば硫酸と過酸化水素水との混合液等により除去する。この結果、金属シリサイド133は、側壁膜141上部分において分離される。次に、シリサイド化を確実にするために、この試料を今度は900℃程度の温度で再びアニールする。このような処理を終えると、第5図に示す第2実施例のCMOSインバータが得られる。

なお、その後は、図示は省略するが、従来公知の通り、中間絶縁膜の形成、この中間絶縁膜への

コンタクトホール形成、各種配線形成を行う。

第7図を用いて説明した方法によれば、 $p^+$ 及び $n^+$ ポリシリコンゲート電極115、117の接続部に構成される段差部139に形成した側壁膜を用い金属シリサイドの分離をセルフアライン的に行えるので、金属シリサイドの分離部の幅を非常に微細なものと出来、分離部を再現性良く形成出来る。

なお、上述した第2実施例の半導体装置の製造方法の説明においては、nMOSFET(又はpMOSFET)のゲート電極への不純物注入と、ソース・ドレイン形成のための基板への不純物注入とを別々の工程で行っているが、ゲート電極及びソース・ドレイン領域への不純物注入は同一工程で行っても勿論良い。

また、上述した第2実施例の半導体装置の製造方法の説明においては側壁膜141の形成にシリコン酸化膜を用いていたが、側壁膜の形成にシリコン窒化膜を用いても良い。

また、上述においては、第二発明の配線形成方

法をCMOSFETの異極性ゲートを形成する場合に適用した例により実施例の説明を行っていたが、この配線形成方法は、これにのみ適用出来るわけではなく、金属シリサイドの配線のパターンニングに広く適用出来ることは明らかである。

#### (発明の効果)

上述した説明からも明らかなように、この出願の第一発明によれば、同一基板に2個以上のMOSFETを具える半導体装置において、一部または全部のMOSFETのゲート電極の膜厚を他のMOSFETのゲート電極の膜厚と違えてある。

このため、

①…ゲート電極への不純物導入及び当該MOSFETのソース・ドレイン領域を形成するための基板への不純物導入を同一イオン注入工程でかつソース・ドレイン領域形成に適正なイオン注入条件で行う方法により半導体装置を製造する場合でも、当該MOSFETのゲート電極の膜厚を当該ゲート電極の不純物プロファイルが適正となるような膜厚に予め出来るので、ゲート電極及びソー

ス・ドレイン領域両者の不純物プロファイルが適正なMOSFETを具える半導体装置が提供できる。

②一ゲート電極にサイドウォールを具えるMOSFETにおいてはサイドウォールの幅はゲート電極の膜厚により制御出来る。従って、この第一発明の構成によれば、一部のMOSFETのみがサイドウォールを具えている半導体装置、又は、サイドウォール幅が一部のMOSFETにおいてまたは各MOSFET毎に違っている半導体装置を容易に提供出来る。

③一異極性ゲートを有するCMOS半導体装置にこの第一発明を適用する場合、p及びnMOSFETの各々のゲート電極の膜厚を違える構成と出来る。このため、p及びnMOSFETの各々のゲート電極の接続部に構成される段差部に側壁膜を設けこの側壁膜上には金属シリサイドが出来ないことを利用してゲート電極の金属シリサイドの分離が出来る。

また、この出願の第二発明の配線形成方法によ

れば、シリコン層の段差部に設けたシリコン酸化膜又はシリコン窒化膜上においては金属シリサイドが形成されないことを利用して金属シリサイドのバターニングを行う。ここで、この段差部のシリコン酸化膜又はシリコン窒化膜は、ホトマスク等を用いたリソグラフィ等を用い形成するのではなくこれら膜を成膜後異方性エッチング等によりセルフアライン的に再現良く形成出来る。従って、金属シリサイド分離幅(第12図中L<sub>1</sub>)は、従来ではリソグラフィ技術の露光限界等から0.4μm以上は必要であったのに対し、この発明では露光限界等の制約を受けないのでより微細に出来る。このため、金属シリサイドを接続する際に必要な面積も小さくて済む。従って、例えば第6図(B)に示したように配線部を引き出すこと等が出来るので配線パターン設計の自由度を挙げることも可能になる。

#### 4.図面の簡単な説明

第1図(A)~(D)は、第1実施例の半導体装置の構造説明に供する図、

第2図(A)~(I)、第3図(A)~(I)及び第4図(A)~(I)は、第1実施例の半導体装置の製造工程図、

第5図は、第2実施例の半導体装置の構造説明に供する図、

第6図(A)及び(B)は、非接触状態の金属シリサイド間の接続例を示す図、

第7図(A)~(H)は、第2実施例の半導体装置の主にゲート電極形成工程を示す図、

第8図、第9図及び第10図は、従来技術の説明に供する図、

第11図及び第12図は、従来技術の問題点の説明に供する図である。

101…p型シリコン基板

103…Nウエル

105…フィールド酸化膜

107a, 107b…pMOSFETのソース・ドレイン領域、

109a, 109b…nMOSFETのソース・ドレイン領域

111a, 111b…低不純物濃度層

113…ゲート酸化膜

115…pMOSFETのゲート電極(p+ポリシリコン)

117…nMOSFETのゲート電極(n+ポリシリコン)

119…側壁膜

121…ノンドープのポリシリコン層

123…レジスト層

115a, 117a…ノンドープ状態のポリシリコンゲート電極

125…SiO<sub>2</sub>膜

131…pMOSFETのゲート電極

133…金属シリサイド

135…nMOSFETのゲート電極

137…両ゲート電極の接続部

139…段差部、 141…側壁膜

151…金属配線

133a, 133b…p及びnMOSFETの金属シリサイドの端部部分

121a-p<sup>+</sup>ポリシリコン部分  
121b-n<sup>+</sup>ポリシリコン部分  
171, 173-レジスト層  
175-シリコン酸化膜  
177-チタン

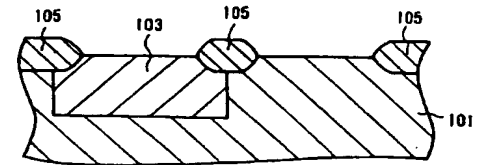
特許出願人 沖電気工業株式会社

代理人 弁理士

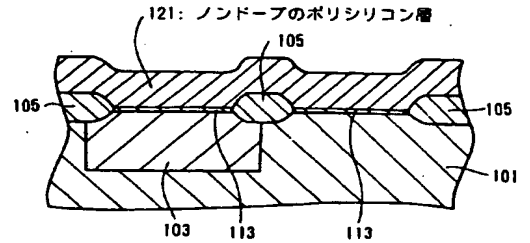
大垣孝



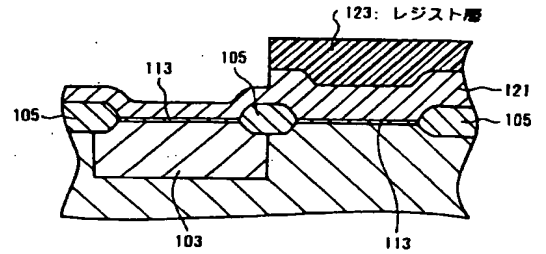
(A)



(B)

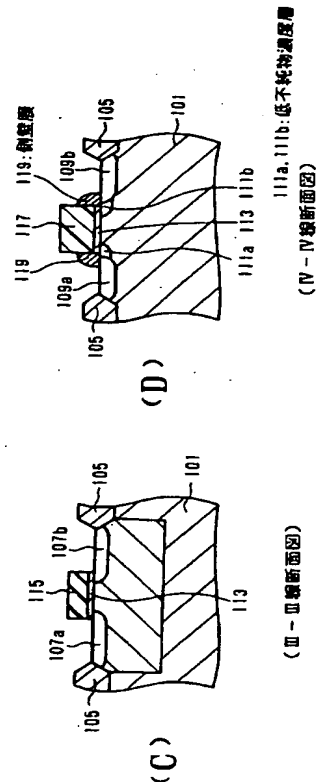
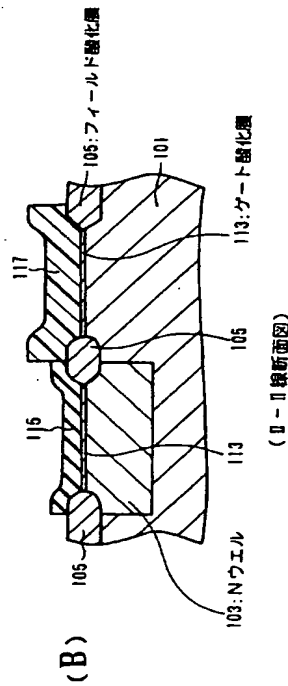
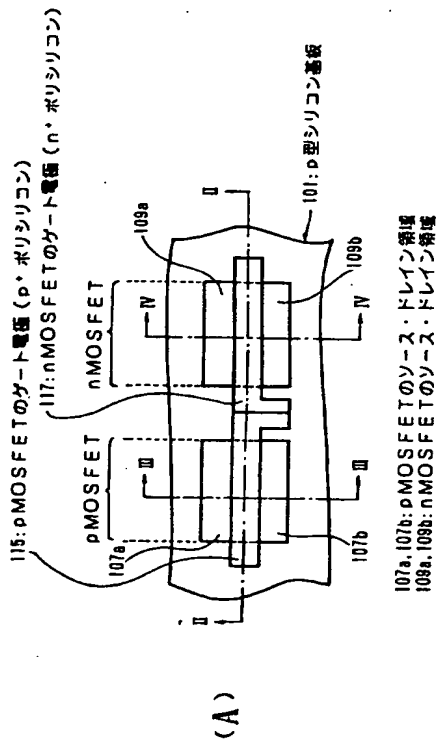


(C)



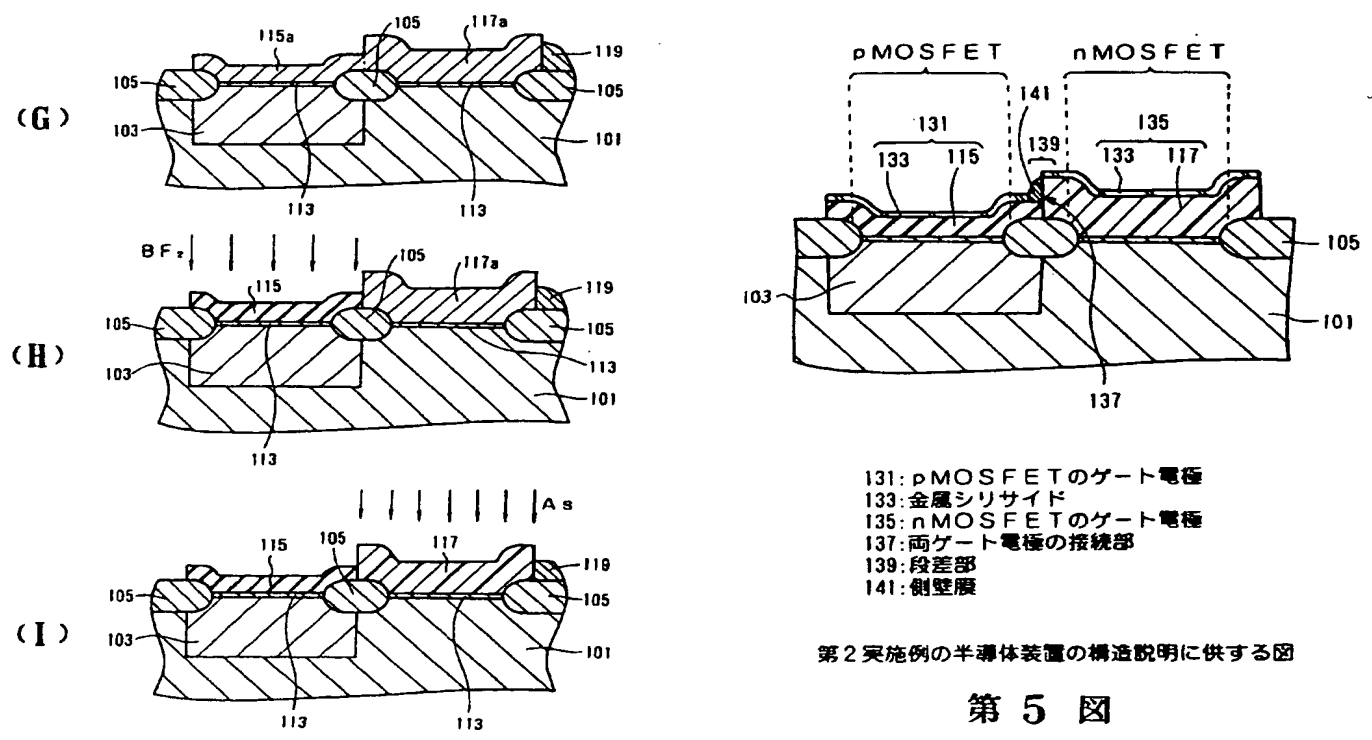
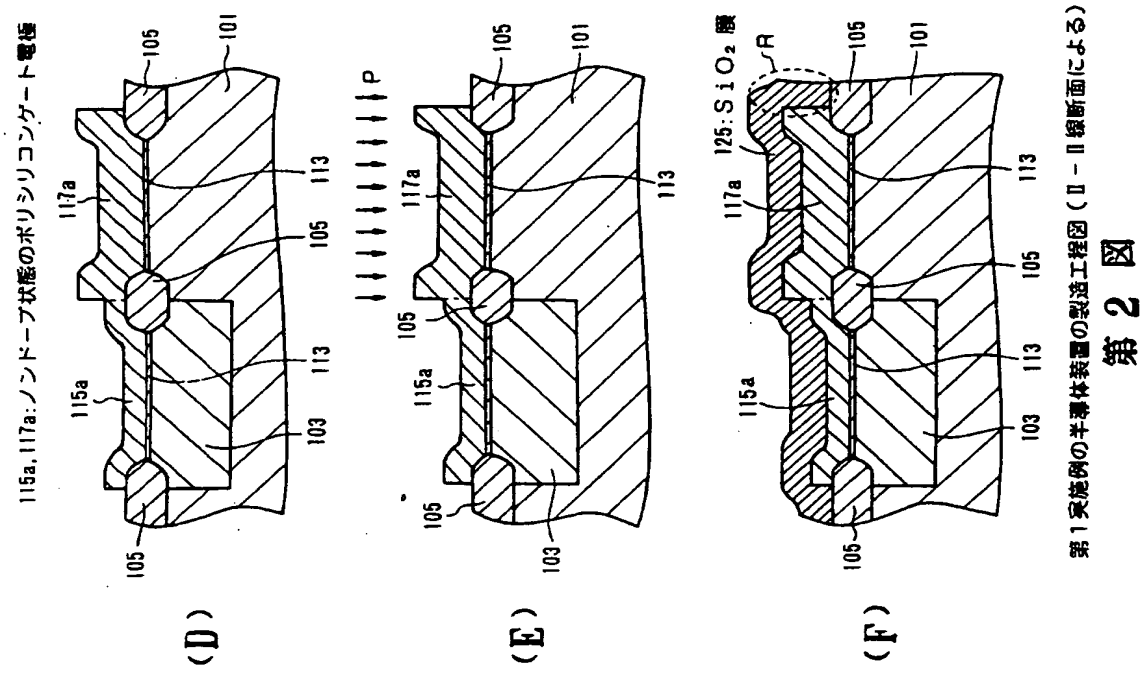
第1実施例の半導体装置の製造工程図(II-II線断面による)

## 第2図



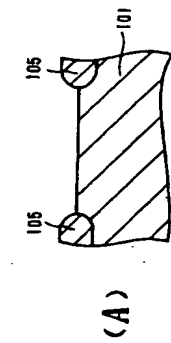
第1実施例の半導体装置の構造説明に供する図

## 第1図

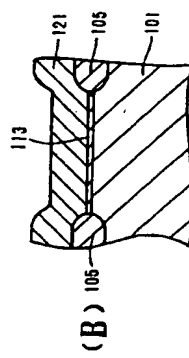


第1実施例の半導体装置の製造工程図(Ⅱ-Ⅱ線断面による)

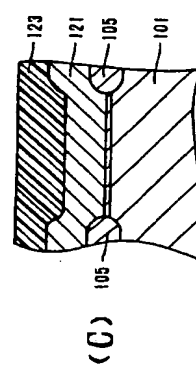
第2図



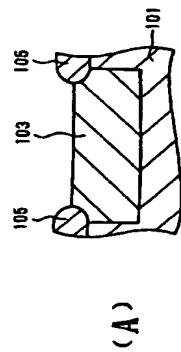
(A)



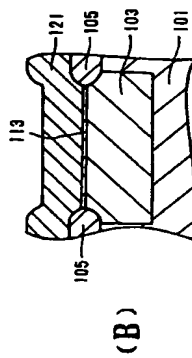
(B)



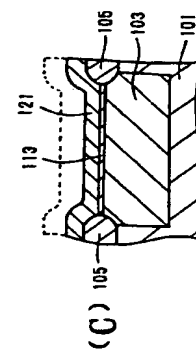
(C)



(A)



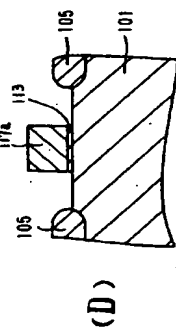
(B)



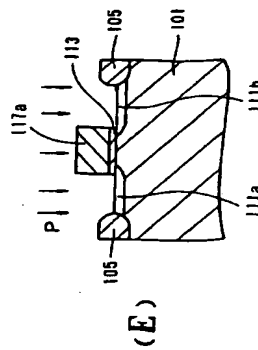
(C)

第1実施例の半導体装置の製造工程図  
(IV-IV線断面による)

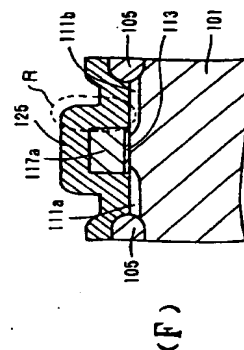
第4図



(D)



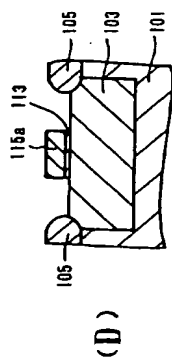
(E)



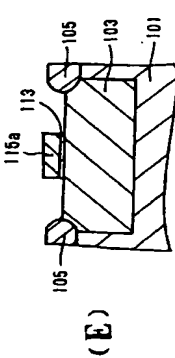
(F)

第1実施例の半導体装置の製造工程図  
(IV-IV線断面による)

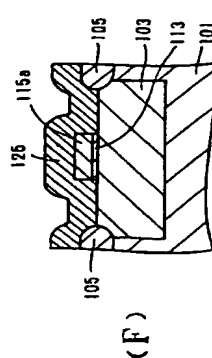
第4図



(D)



(E)

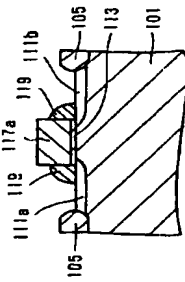


(F)

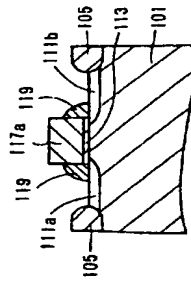
第1実施例の半導体装置の製造工程図  
(IV-IV線断面による)

第3図

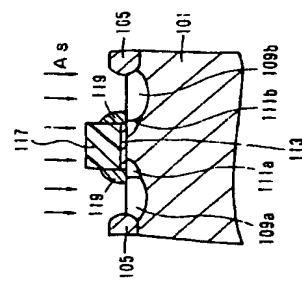




(G)



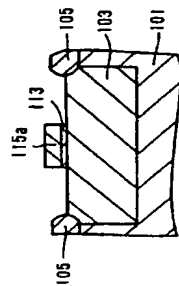
(H)



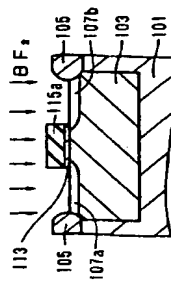
(I)

第1実施例の半導体装置の製造工程図  
(IV-IV線断面による)

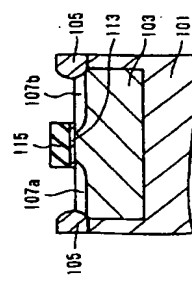
第4図



(G)



(H)

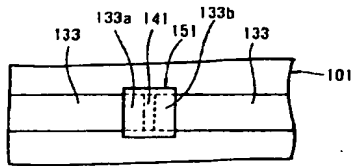


(I)

第1実施例の半導体装置の製造工程図  
(III-III線断面による)

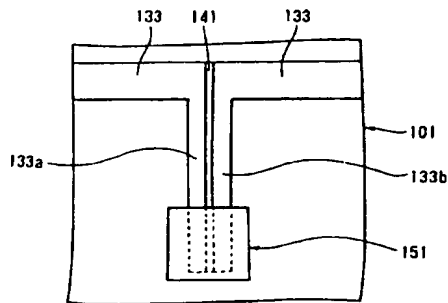
第3図

(A)



151: 金属配線  
133a, 133b: p及びn MOSFETの金属シリサイドの端部部分

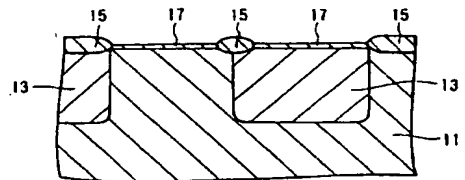
(B)



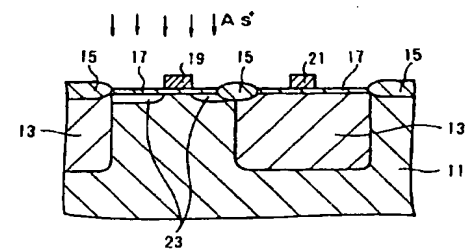
非接触状態の金属シリサイド間の接続例を示す図

第6図

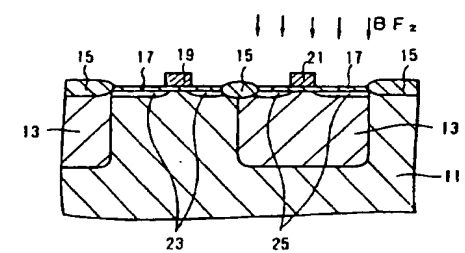
(A)



(B)

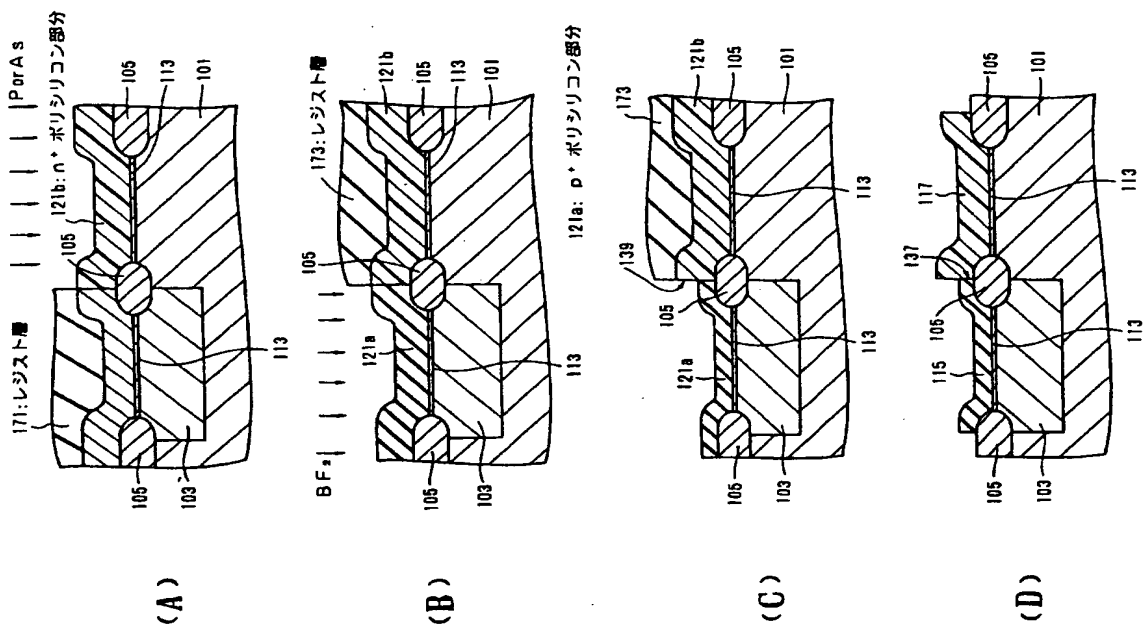


(C)



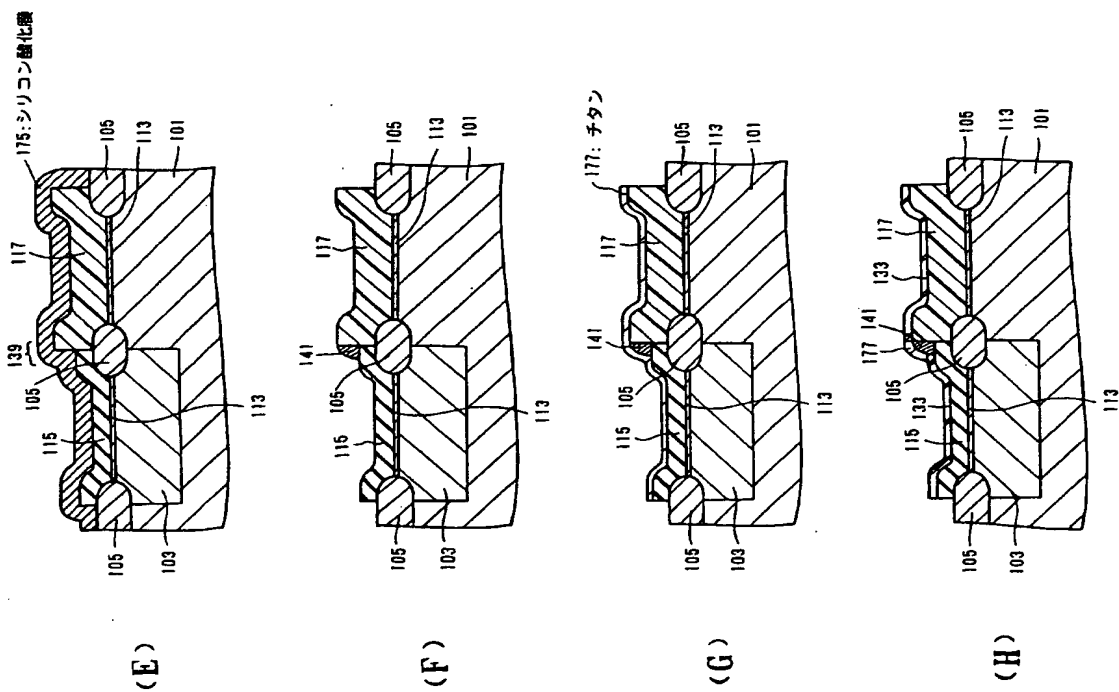
従来技術の説明に供する図

第8図



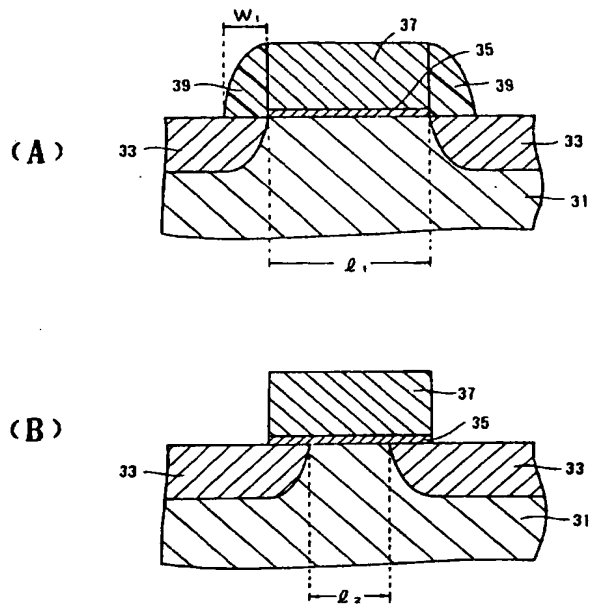
第2実施例の半導体装置の主にゲート電極形成工程を示す図

第7図



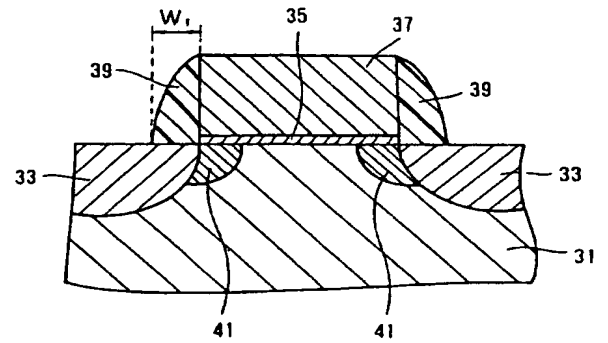
第2実施例の半導体装置の主にゲート電極形成工程を示す図

第7図



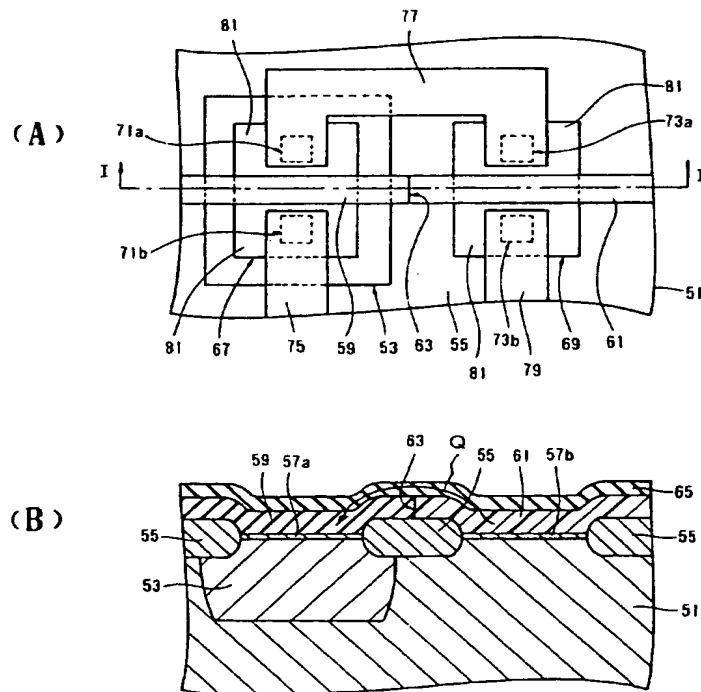
従来技術の説明に供する図

第 9 図



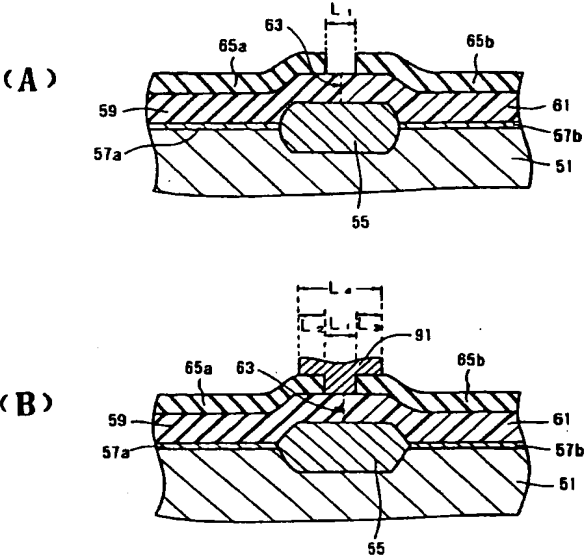
従来技術の説明に供する図

第 10 図



従来技術の問題点の説明に供する図

第 11 図



従来技術の問題点の説明に供する図

第 12 図